

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月20日

出 願 番 号

Application Number:

特願2002-275334

[ ST.10/C ]:

[ JP 2002-275334 ]

出 願 人

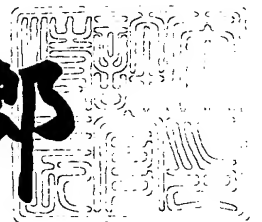
Applicant(s):

富士フイルムマイクロデバイス株式会社  
富士写真フイルム株式会社

2003年 3月28日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3021473

【書類名】 特許願

【整理番号】 DL3102

【提出日】 平成14年 9月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/14

【発明の名称】 固体撮像装置とその駆動方法

【請求項の数】 20

【発明者】

    【住所又は居所】 宮城県黒川郡大和町松坂平 1 丁目 6 番地 富士フイルム  
マイクロデバイス株式会社内

    【氏名】 雫石 誠

【特許出願人】

    【識別番号】 391051588

    【氏名又は名称】 富士フイルムマイクロデバイス株式会社

    【代表者】 柏木 朗

【特許出願人】

    【識別番号】 000005201

    【氏名又は名称】 富士写真フイルム株式会社

    【代表者】 古森 重▲隆▼

【代理人】

    【識別番号】 100091340

    【弁理士】

    【氏名又は名称】 高橋 敬四郎

    【電話番号】 03-3832-8095

【選任した代理人】

    【識別番号】 100105887

    【弁理士】

    【氏名又は名称】 来山 幹雄

    【電話番号】 03-3832-8095

【手数料の表示】

【予納台帳番号】 009852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9913044

【包括委任状番号】 9913045

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置とその駆動方法

【特許請求の範囲】

【請求項 1】 第 1 導電型領域を有する半導体基板と、

前記半導体基板の第 1 導電型領域の上に形成された第 1 導電型と逆の第 2 導電型を有する第 2 導電型領域と、

前記第 2 導電型領域の中に形成され、第 2 導電型領域と共にホトダイオードを構成する第 1 の第 1 導電型領域と、

前記第 1 の第 1 導電型領域の一部に隣接して、半導体基板表面上に形成され、電荷蓄積領域と、コントロールゲートとを含む第 1 ゲート構造と、

前記第 1 ゲート構造の、前記第 1 の第 1 導電型領域と逆側に隣接して形成され、前記第 1 の第 1 導電型領域、前記第 1 ゲート構造と共に、不揮発性メモリ素子を構成する第 2 の第 1 導電型領域と、

前記第 1 ゲート構造のコントロールゲートに、前記第 1 の第 1 導電型領域に蓄積された電荷が前記電荷蓄積領域にトンネルする書きこみ電圧を印加する、第 1 の書きこみ電圧印加を行う制御回路と、  
を含む固体撮像装置。

【請求項 2】 前記制御回路が、

前記第 1 の書きこみ電圧印加に続いて、前記第 1 ゲート構造のコントロールゲートおよび前記第 2 の第 1 導電型領域に、前記第 1 の第 1 導電型領域に蓄積された電荷が前記電荷蓄積領域にホットエレクトロンとして注入される書きこみ電圧を印加する、第 2 の書きこみ電圧印加を行う制御回路である請求項 1 記載の固体撮像装置。

【請求項 3】 さらに、

前記第 1 の第 1 導電型領域の他の一部に隣接して形成された絶縁ゲート型の第 2 ゲート構造と、

前記第 2 ゲート構造の、前記第 1 の第 1 導電型領域と逆側に隣接して形成され、前記第 1 の第 1 導電型領域、第 2 ゲート構造と共に絶縁ゲート型トランジスタを構成する第 3 の第 1 導電型領域と、

を含む請求項 1 または 2 記載の固体撮像装置。

【請求項 4】 前記半導体基板の第 1 導電型領域の上面から前記第 2 導電型領域の中に突出する第 3 の第 1 導電型領域を含む請求項 1 または 2 記載の固体撮像装置。

【請求項 5】 前記不揮発性メモリ素子が有する前記電荷蓄積領域が、フローティングゲートを有する請求項 1 ～ 4 のいずれか 1 項記載の固体撮像装置。

【請求項 6】 前記不揮発性メモリ素子が有する前記電荷蓄積領域が、窒化シリコン膜と酸化シリコン膜との界面を有する請求項 1 ～ 4 のいずれか 1 項記載の固体撮像装置。

【請求項 7】 第 1 導電型領域を有する半導体基板と、  
前記半導体基板の第 1 導電型領域の上に形成された第 1 導電型と逆の第 2 導電型を有する第 2 導電型領域と、

前記第 2 導電型領域の中に形成され、第 2 導電型領域と共にホトダイオードを構成する第 1 の第 1 導電型領域と、

前記第 1 の第 1 導電型領域の一部に隣接して、半導体基板表面上に形成され、電荷蓄積領域と、コントロールゲートとを含む第 1 ゲート構造と、

前記第 1 ゲート構造の、前記第 1 の第 1 導電型領域と逆側に隣接して形成され、前記第 1 の第 1 導電型領域、前記第 1 ゲート構造と共に、不揮発性メモリ素子を構成する第 2 の第 1 導電型領域と、

前記第 1 の第 1 導電型領域の他の一部に隣接して形成された絶縁ゲート型の第 2 ゲート構造と、

前記第 2 ゲート構造の、前記第 1 の第 1 導電型領域と逆側に隣接して形成され、前記第 1 の第 1 導電型領域、第 2 ゲート構造と共に絶縁ゲート型トランジスタを構成する第 3 の第 1 導電型領域と、  
を含む固体撮像装置。

【請求項 8】 さらに、

前記第 2 ゲート構造にバイアス電圧を印加し、前記絶縁ゲート型トランジスタをオンにして、前記不揮発性メモリ素子に電流を供給する制御回路を含む請求項 7 記載の固体撮像装置。

【請求項 9】 前記不揮発性メモリ素子が有する前記電荷蓄積領域が、フローティングゲートを有する請求項 7 または 8 記載の固体撮像装置。

【請求項 10】 前記不揮発性メモリ素子が有する前記電荷蓄積領域が、窒化シリコン膜と酸化シリコン膜との界面を有する請求項 7 または 8 記載の固体撮像装置。

【請求項 11】 第 1 導電型領域を有する半導体基板と、  
前記半導体基板の第 1 導電型領域の上に形成された第 1 導電型と逆の第 2 導電型を有する第 2 導電型領域と、  
前記第 2 導電型領域の中に形成され、第 2 導電型領域と共にホトダイオードを構成する第 1 の第 1 導電型領域と、  
前記第 1 の第 1 導電型領域の一部に隣接して、半導体基板表面上に形成され、電荷蓄積領域と、コントロールゲートとを含む第 1 ゲート構造と、  
前記第 1 ゲート構造の、前記第 1 の第 1 導電型領域と逆側に隣接して形成され、前記第 1 の第 1 導電型領域、前記第 1 ゲート構造と共に、不揮発性メモリ素子を構成する第 2 の第 1 導電型領域と、  
前記半導体基板の第 1 導電型領域に順バイアス電圧を印加し、前記不揮発性メモリ素子に電流を供給する制御回路と  
を含む固体撮像装置。

【請求項 12】 さらに、  
前記半導体基板の第 1 導電型領域の上面から前記第 2 導電型領域の中に突出する第 3 の第 1 導電型領域を含む請求項 11 記載の固体撮像装置。

【請求項 13】 前記不揮発性メモリ素子が有する前記電荷蓄積領域が、フローティングゲートを有する請求項 11 または 12 記載の固体撮像装置。

【請求項 14】 前記不揮発性メモリ素子が有する前記電荷蓄積領域が、窒化シリコン膜と酸化シリコン膜との界面を有する請求項 11 または 12 記載の固体撮像装置。

【請求項 15】 (a) 半導体基板の第 1 導電型領域の上に形成された第 1 導電型と逆の第 2 導電型を有する第 2 導電型領域中に形成され、行列状に分布したホトダイオードに、光を入射し、画像情報を表わす電荷を蓄積する工程と、

(b) 各ホットダイオードの一部に隣接して形成され、電荷蓄積領域と、コントロールゲートと、ドレイン領域と、を有する不揮発性メモリ素子のコントロールゲートに、第1の書きこみ制御電圧を印加し、前記画像情報を表わす電荷の少なくとも一部を信号電荷として前記電荷蓄積領域へトンネルさせて注入する第1の書きこみ工程と、

(c) 前記不揮発性メモリ素子に読み取り制御電圧を印加し、前記工程(b)において前記電荷蓄積領域へ注入された信号電荷の量に対応する閾値電圧を検出する工程と、

を含む固体撮像装置の駆動方法

【請求項16】 さらに、前記工程(c)の前に、

(d) 前記不揮発性メモリ素子のコントロールゲートおよびドレイン領域に、第2の書きこみ制御電圧を印加し、前記画像情報を表わす電荷の少なくとも一部を信号電荷として前記電荷蓄積領域へホットエレクトロンとして注入する第2の書きこみ工程

を含む請求項15記載の固体撮像装置の駆動方法。

【請求項17】 前記工程(c)が、

(e) 前記ホットダイオードの他の一部に隣接して形成された絶縁ゲート型トランジスタにバイアス電圧を印加してオンにし、前記不揮発性メモリ素子にチャネル電流を供給する工程を含む請求項15または16記載の固体撮像装置の駆動方法。

【請求項18】 前記工程(c)が、

(f) 前記半導体基板の第1導電型領域に順バイアス電圧を印加し、前記不揮発性メモリ素子にチャネル電流を供給する工程を含む請求項15または16記載の固体撮像装置の駆動方法。

【請求項19】 前記工程(c)が、

(g) 前記半導体基板の第1導電型領域の上面から前記第2導電型領域の中に突出するように形成された第1の第1導電型領域に順バイアス電圧を印加し、前記不揮発性メモリ素子にチャネル電流を供給する工程を含む請求項15または16記載の固体撮像装置の駆動方法。

【請求項 2 0】 前記工程（a）の前に、

（h）前記半導体基板の第 1 導電型領域に逆バイアス電圧を印加し、前記ホトダイオードに予め蓄積されていた電荷を基板側に引き抜く工程を含む請求項 1 5 ～ 1 9 のいずれか 1 項記載の固体撮像装置の駆動方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、固体撮像装置とその駆動方法に関し、特に新規な画素構造を有する固体撮像装置と新規な画素信号読出し動作を行う固体撮像装置の駆動方法に関する。

【0 0 0 2】

【従来の技術】

従来、固体撮像装置として、M O S 型固体撮像装置、C C D 型固体撮像装置、C M O S 型固体撮像装置等が知られている。

【0 0 0 3】

図 6 に従来の M O S 型固体撮像装置の構造を示す。

半導体基板表面上に、多数の画素 P X が行列状に配置されている。各画素 P X は、感光素子である 1 つのホトダイオード P D と、ホトダイオード P D に蓄積された電荷を読み出すための 1 つの M O S 電界効果トランジスタ M O S F E T とを含む。図の構成においては、ホトダイオード P D のカソードが電荷蓄積領域を構成し、M O S F E T のソース領域に接続されている。M O S F E T のゲートには、行選択信号線 1 0 3 が接続されており、M O S F E T のドレインは、読み出し信号線 1 0 5 に接続されている。

【0 0 0 4】

行選択信号線 1 0 3 は、垂直シフトレジスタ V S R に接続され、行選択用信号を順次受け取る。読み出し信号線 1 0 5 は、列選択トランジスタ 1 0 7 を介して出力アンプ A M P に接続されている。列選択トランジスタ 1 0 7 の制御電極は、水平シフトレジスタ H S R に接続され、列選択信号を順次受け取る。タイミングジェネレータ 1 0 9 は、水平シフトレジスタ H S R、垂直シフトレジスタ V S R



にタイミング信号を供給する。

【 0 0 0 5 】

垂直シフトレジスタVSRにより、1画素行が選択されている間に水平シフトレジスタHSRは各列を順次選択し、1行分の電荷を出力アンプAMPに供給させる。

【 0 0 0 6 】

この構成は、MOSFET1個とキャパシタ1個でメモリセルが構成されるDRAMの構成に類似している。MOSFETを用いているが、増幅機能は持たないため、パッシブ型センサとも呼ばれる。通常、nMOSプロセスを用いて図6に示す構造が製造されて来た。

【 0 0 0 7 】

スイッチングを行なうMOSFETの電気的特性にバラツキがあると、同一の光量を受けた画素の出力に不均一が生じ、固定パターン雑音を生じる。

全画素の撮像動作を一時に行なうことが不可能であり、動く被写体を撮像すると画像が流れる。又、全画素の蓄積電荷を電子的に一度にクリアすることが困難である。

【 0 0 0 8 】

図7に、固体撮像装置の中で最も多く使われているインターライン型CCD（IT-CCD）撮像装置の構造を示す。

ホトダイオードPDとMOSFETで構成される画素PXが行列状に配置される点は図6の構成と同様であるIT-CCDにおいては、画素列の間に、読み出し信号線に代え、垂直電荷結合素子VCCDが配置されている。VCCDは、その一端において水平電荷結合素子HCCDに接続される。HCCDの出力端はフローティングディフュージョンアンプFDAに接続されている。

【 0 0 0 9 】

IT-CCDにおいては、ホトダイオードPDのカソード領域に蓄積された信号電荷は、MOSFET、VCCD、HCCD、FDAへと、半導体中のみで転送される。VCCDは、多数の転送段を有し、電荷を保持することができる。このため、多数の画素から同時に電荷をVCCDに読み出すことが可能である。流

れない静止画を出力することができる。

#### 【 0 0 1 0 】

VCCD、HCCDの電荷転送路の上方には、遮光膜が配置され、電荷転送路に光が入射することを防止している。ノイズの影響を受けにくく、高感度の固体撮像装置が実現している。また、完全空乏型フォトダイオード構造を取り入れ、画質の改善が進められている。画素で発生した電荷は、転送ゲートを介して同時にVCCDに移動させることができるので、いわゆる完全電子シャッターが実現できる。

#### 【 0 0 1 1 】

ITCCDの駆動には、高電圧を必要とし、消費電力が大きく、単一電源駆動は困難である。IT-CCDの製造は、汎用CMOSプロセスとは異なる専用プロセスによって行なわれる。ホトダイオードPDから読み出した電荷は、VCCD、HCCDを介して出力されるため、ランダムアクセスを行なうことは困難である。

#### 【 0 0 1 2 】

図 8 に、CMOS型固体撮像装置を示す。図には一画素分の構成のみを示すが、画素PXは、図 6、図 7 の構成と同様行列状に配置される。

各画素PXは、ホトダイオードPDと、ホトダイオードPDに蓄積された電荷を増幅して読み出すためのソースフォロアアンプSFAと、リセットトランジスタRTを含む。ソースフォロアアンプSFAは、ゲートに信号電圧を受ける増幅トランジスタ121と、トランスファトランジスタ123を含む。

#### 【 0 0 1 3 】

トランスファトランジスタ123とリセットトランジスタRTの1電流端子は、電源線117に接続される。増幅トランジスタ121の他端は、読み出し信号線113に接続される。トランスファトランジスタ123のゲート電極は、行選択信号線111を介して垂直シフトレジスタVSRに接続される。リセットトランジスタRTのゲート電極は、リセット信号線115に接続される。

#### 【 0 0 1 4 】

読み出し信号線113は、ノイズキャンセラ131を介し、列選択トランジス

タ 1 3 3 に接続されている。列選択トランジスタ 1 3 3 の他端は、出力アンプ A MP を介して出力信号を供給する。列選択トランジスタ 1 3 3 のゲート電極は、水平シフトレジスタ H S R に接続されている。

## 【 0 0 1 5 】

携帯情報端末、パーソナルコンピュータ（P C）入力カメラ、小型デジタルスチル（D S）カメラが普及するにつれ、低消費電力の小型固体撮像装置に関心が集まっている。そのため、C C D 型に比べ、単一電源で低消費電力駆動が可能な、C M O S プロセスをベースにした C M O S 固体撮像装置が開発されている。C M O S 構成とすることにより、周辺回路のオンチップ化が容易になり低消費電力を実現できる。

## 【 0 0 1 6 】

これらのメリットを生かしつつ、C M O S 型固体撮像装置の特性改善と実用化が進んでいる。C M O S 型固体撮像装置は、画素毎に増幅回路を設けることにより、低ノイズ化している。画素が能動素子を含むのでアクティブ型センサーとも呼ばれる。但し、一画素あたり、ホトダイオードに加え、3 個以上のトランジスタ（M O S F E T）を必要とする。

## 【 0 0 1 7 】

単位画素あたりの M O S F E T の数が増すと、ホトダイオード部の動作マージンが厳しくなり、高感度化、高（多）画素化が難しくなる。ホトダイオードタイプの C M O S 型固体撮像装置では、読み出し回路とホトダイオードとの間でオーミックコンタクトをとるために、電荷蓄積領域全体を低濃度化することが困難であり、完全空乏型ホトダイオードを実現することは難しい。そのため、ホトダイオードを一定電位にリセットする際にホトダイオードの空乏層容量のバラツキに伴う固有の固定パターン雑音（F P N）やリセットトランジスタ R T のチャネル抵抗の熱的揺らぎによるリセット雑音が発生する。X Y 順次アドレッシングタイプのため、動く被写体を撮像すると画像が流れ、完全電子シャッター機能を実現することが困難である。

## 【 0 0 1 8 】

なお、本出願人は、特願平 1 3 - 0 8 3 3 7 4 において、本出願と関連する技

術を開示している。その他、本出願に関連する技術文献については存知しない。

【0019】

【発明が解決しようとする課題】

従来の固体撮像装置は、それぞれメリットとデメリットとを有する。

本発明の目的は、新規な動作原理に基づく固体撮像装置を提供することである。

【0020】

本発明の他の目的は、固体撮像装置の新規な動作方法を提供することである。

本発明のさらに他の目的は、全面素子について同時刻の画像信号を得ることができる新規な構成の固体撮像装置を提供することである。

【0021】

本発明の他の目的は、小型化に適した固体撮像装置を提供することである。

【0022】

【課題を解決するための手段】

本発明の1観点によれば、第1導電型領域を有する半導体基板と、前記半導体基板の第1導電型領域の上に形成された第1導電型と逆の第2導電型を有する第2導電型領域と、前記第2導電型領域の中に形成され、第2導電型領域と共にホトダイオードを構成する第1の第1導電型領域と、前記第1の第1導電型領域の一部に隣接して、半導体基板表面上に形成され、電荷蓄積領域と、コントロールゲートとを含む第1ゲート構造と、前記第1ゲート構造の、前記第1の第1導電型領域と逆側に隣接して形成され、前記第1の第1導電型領域、前記第1ゲート構造と共に、不揮発性メモリ素子を構成する第2の第1導電型領域と、前記第1ゲート構造のコントロールゲートに、前記第1の第1導電型領域に蓄積された電荷が前記電荷蓄積領域にトンネルする書きこみ電圧を印加する、第1の書きこみ電圧印加を行う制御回路とを含む固体撮像装置が提供される。

【0023】

本発明の他の観点によれば、第1導電型領域を有する半導体基板と、前記半導体基板の第1導電型領域の上に形成された第1導電型と逆の第2導電型を有する第2導電型領域と、前記第2導電型領域の中に形成され、第2導電型領域と共に

ホトダイオードを構成する第 1 の第 1 導電型領域と、前記第 1 の第 1 導電型領域の一部に隣接して、半導体基板表面上に形成され、電荷蓄積領域と、コントロールゲートとを含む第 1 ゲート構造と、前記第 1 ゲート構造の、前記第 1 の第 1 導電型領域と逆側に隣接して形成され、前記第 1 の第 1 導電型領域、前記第 1 ゲート構造と共に、不揮発性メモリ素子を構成する第 2 の第 1 導電型領域と、前記第 1 の第 1 導電型領域の他の一部に隣接して形成された絶縁ゲート型の第 2 ゲート構造と、前記第 2 ゲート構造の、前記第 1 の第 1 導電型領域と逆側に隣接して形成され、前記第 1 の第 1 導電型領域、第 2 ゲート構造と共に絶縁ゲート型トランジスタを構成する第 3 の第 1 導電型領域とを含む固体撮像装置が提供される。

## 【 0 0 2 4 】

本発明のさらに他の観点によれば、(a) 半導体基板の第 1 導電型領域の上に形成された第 1 導電型と逆の第 2 導電型を有する第 2 導電型領域中に形成され、行列状に分布したホトダイオードに、光を入射し、画像情報を表わす電荷を蓄積する工程と、(b) 各ホトダイオードの一部に隣接して形成され、電荷蓄積領域と、コントロールゲートと、ドレイン領域と、を有する不揮発性メモリ素子のコントロールゲートに、第 1 の書きこみ制御電圧を印加し、前記画像情報を表わす電荷の少なくとも一部を信号電荷として前記電荷蓄積領域へトンネルさせて注入する第 1 の書きこみ工程と、(c) 前記不揮発性メモリ素子に読み取り制御電圧を印加し、前記工程 (b) において前記電荷蓄積領域へ注入された信号電荷の量に対応する閾値電圧を検出する工程とを含む固体撮像装置の駆動方法が提供される。

## 【 0 0 2 5 】

## 【発明の実施の形態】

図 1 (A) は、半導体基板 1 0 上に画素 P X を二次元アレイ状に配列した固体撮像装置の構成を示す。ホトダイオード P D は、2 次元行列状に配置され、感光面を構成する。各画素 P X は、感光素子である 1 つのホトダイオード P D と、1 つの不揮発性メモリ素子 M とを含む。簡略化した図を示すが、実際の装置においては、数百行、数百乃至千数百列の画素行列である。

## 【 0 0 2 6 】

メモリ素子Mは、ホトダイオードPDに接続されたソースMSと、電荷蓄積領域CSと、コントロールゲートCGと、ドレインMDとを有するトランジスタ構造で構成される。

## 【 0 0 2 7 】

補助トランジスタTRは、読み出し時にメモリ素子Mに流すチャネル電流の電荷供給源として用いられる。補助トランジスタTRは、メモリ素子のソースMSに接続されたドレインTDと、ゲートTGと、ソースTSとを有するMOSトランジスタ構造で構成される。ゲートTGはゲートコントローラTGCにより、ソースTSはソースコントローラTSCにより制御される。

## 【 0 0 2 8 】

メモリ素子MのコントロールゲートCGは、垂直シフトレジスタVSにより制御される。垂直シフトレジスタVSは、書きこみ、読み出し時にそれぞれ所定の電圧をコントロールゲートCGに供給する。書きこみ時には、ホトダイオードPDに蓄積された電荷を電荷蓄積領域CSに書きこむための電圧が印加される。読み出し時には、メモリ素子Mの閾値電圧 $V_{th}$ を検出するための、例えば三角波的に単調に増加する電圧が供給される。

## 【 0 0 2 9 】

メモリ素子MのドレインMDは、書きこみ時には、水平(H)ドレイン制御回路HDCによって制御される。読み出し時には、センスアンプSAが、ドレインMDにドレイン電圧を供給し、コントロールゲートCGの電位に対するドレインMDの電流値からメモリ素子Mの閾値電圧 $V_{th}$ を検出する。

## 【 0 0 3 0 】

図1(B)は、センスアンプSAの閾値検出回路の等価回路を示す。比較器COMPの反転入力端子に参照電位 $V_{ref}$ が供給され、非反転入力端子にメモリ素子MのドレインMDの電圧が供給されている。メモリ素子Mには電流源Iから電流が供給される。比較器COMPの出力電圧がコントロールゲートCGに供給される。コントロールゲートCGは、垂直シフトレジスタVSにより制御される。

## 【 0 0 3 1 】

参照電位  $V_{ref}$  を変えながら、メモリ素子  $M$  のチャネル電流を検出することにより、メモリの閾値電圧  $V_{th}$  を出力する。チャネル電流が一定値に上昇したときのコントロールゲート  $CG$  の電圧が、閾値電圧  $V_{th}$  として検出される。

## 【 0 0 3 2 】

図 1 (A) に示すように、閾値電圧  $V_{th}$  をデジタル化するためのサンプルホールド回路  $S/H$ 、 $AD$  コンバータ  $A/D$  等も半導体基板 10 上にオンチップ化されている。 $AD$  変換後のデータは、ラッチ回路  $LT$  に記録され、水平シフトレジスタ  $SR$  によって水平方向に順次読み出され、出力バッファアンプ  $AMP$  を通して、撮像装置の外部にデジタルデータとして出力される。

## 【 0 0 3 3 】

本実施例に係る画素構造についてさらに詳しく説明する。

図 2 (A) は、単位画素の断面図を示す。不純物濃度  $5 \times 10^{14} \text{ cm}^{-3}$  の  $n$  型シリコン基板 10 の表面領域に、不純物濃度  $1 \times 10^{15} \text{ cm}^{-3}$  の  $p$  型ウェル 20 が形成されている。 $p$  型ウェル 20 の表面領域に、不純物濃度  $2 \times 10^{17} \text{ cm}^{-3}$  の  $n$  型領域 21 が形成され、ホットダイオード  $PD$  を構成する。 $n$  型領域 21 の表面を覆うように不純物濃度  $1 \times 10^{18} \text{ cm}^{-3}$  の  $p$  型領域 23 が形成され、ホットダイオードを埋め込み型ホットダイオード構造としている。 $n$  型シリコン基板 10 には、電圧源 100 が接続されている。

## 【 0 0 3 4 】

$n$  型領域 21 とつながるように、 $n^+$  型領域 50 が形成されている。 $n^+$  型領域 50 の近傍の  $p$  型ウェル 20 中に、 $n^+$  型領域 51 が形成されている。 $n^+$  型領域 50、51 はそれぞれ、補助トランジスタのドレイン領域、ソース領域を構成する。これらの間の  $p$  型ウェル領域 20 が、補助トランジスタのチャネル領域を構成する。 $n^+$  型領域 50、51 は、閾値電圧読み出し時にメモリ素子のチャネル領域に流すチャネル電流の電荷供給源として機能する。

## 【 0 0 3 5 】

補助トランジスタのチャネル領域上に、酸化シリコン膜からなるゲート絶縁膜 52、多結晶シリコン膜からなるゲート電極 53 が形成されている。 $n^+$  型領域 50、51、ゲート絶縁膜 52、ゲート電極 53 を含んで、 $MOS$  型構造を有す

る補助トランジスタTRが構成される。素子分離領域25は、LOCOS (Local Oxidation of Silicon) 法、シャロートレンチアイソレーション (STI) 法等により形成された酸化シリコン膜により形成されている。

#### 【0036】

ホトダイオートのカソード領域であると共に、メモリ素子のソース領域を兼ねるn型領域21の近傍に、n型領域22が形成され、メモリ素子のドレイン領域を構成する。n型領域21、22の間の領域が、メモリ素子のチャネル領域となる。メモリ素子のチャネル領域上に、ゲート構造30が形成されている。

#### 【0037】

不揮発性メモリ素子として、酸化シリコン膜に挟まれた窒化シリコン膜を有するMONOS (Metal Oxide Nitride Oxide Semiconductor) 型、または、窒化シリコン膜、酸化シリコン膜の積層を有するMNOS (Metal Nitride Oxide Semiconductor) 型、または、多結晶シリコンからなるフローティングゲート (Floating Gate) を有するFG型の素子を用いることができる。

#### 【0038】

図2 (B) に、MONOS型メモリのゲート構造30を示す。酸化シリコン膜31、窒化シリコン膜32、酸化シリコン膜33の3層が積層され、ONO膜と呼ばれる構造を成している。ONO膜上に、例えば多結晶シリコンからなるコントロールゲート34が形成される。窒化シリコン膜と酸化シリコン膜の界面に、電荷を保持することができる。電荷を局所的にトラップすることができる。

#### 【0039】

酸化シリコン膜31は、基板温度800～900℃で下地基板表面を熱酸化することにより形成される。酸化シリコン膜31の厚さは、例えば2nmである。窒化シリコン膜32は、成長温度600～800℃としたLPCVD (減圧化学気相成長) 法により形成される。窒化シリコン膜32の厚さは、例えば5nmである。また酸化シリコン膜33は、下地窒化膜を温度800～900℃で熱酸化することで形成される。酸化シリコン膜33の厚さは例えば4nmである。



## 【 0 0 4 0 】

図 2 (C) に示すように、図 2 (B) から酸化シリコン膜 3 3 を省略すると M N O S 型構造となる。

図 2 (D) に、F G 型メモリのゲート構造 3 0 を示す。酸化シリコン膜 3 1'、多結晶シリコンからなるフローティングゲート 3 2'、酸化シリコン膜 3 3' が積層されている。その上に、例えば多結晶シリコンからなるコントロールゲート 3 4 が形成される。電荷が保持されるフローティングゲート 3 2' は導電体であるため、注入された電荷はフローティングゲート 3 2' に広く分布する。

## 【 0 0 4 1 】

M O N O S 型のメモリ素子は、n 型領域 2 1、2 2、酸化シリコン膜 3 1、3 3、窒化シリコン膜 3 2、ゲート電極 3 4 を含んで構成される。M O N O S 型から酸化シリコン膜 3 3 を省略すると M N O S 型構造となる。F G 型のメモリ素子は、n 型領域 2 1、2 2、酸化シリコン膜 3 1'、3 3'、フローティングゲート 3 2'、ゲート電極 3 4 を含んで構成される。不揮発性メモリ素子には、M O N O S 型、M N O S 型、F G 型、いずれの構成を用いてもよい。

## 【 0 0 4 2 】

ゲート電極 3 4 の上には、樹脂、酸化シリコン等の絶縁層 4 1 が形成され、その表面は平坦化されている。絶縁層 4 1 の上に、W 等の金属等で形成された遮光膜 4 2 が形成されている。遮光膜 4 2 は、ホトダイオードの n 型領域 2 1 上方で開口を形成し、光の通過を許容するが、トランジスタ構造や配線領域の上方等ホトダイオード以外の領域は覆い、入射光を遮断する。遮光膜を覆うように、カラーフィルタ 4 3 が形成され、カラーフィルタ 4 3 の上には、マイクロレンズ 4 4 が形成されている。画素の上方にメカシャッタ 4 5 が形成されている。

## 【 0 0 4 3 】

メカシャッタ 4 5 が開くと、入射光 4 6 がマイクロレンズ 4 4 に入射し、集光される。入射光 4 6 はカラーフィルタ 4 3 を通過した後、遮光膜 4 2 の開口部を通過してホトダイオード 2 1 に入射する。

## 【 0 0 4 4 】

n 型領域 2 1 は、受光状態で全領域が空乏化するようにその形状、不純物濃度

が設定されている。従って、n型領域21内の電子は、光の入射によって発生したものが支配的になる。完全空乏型ホトダイオードを用いることにより、固定パターン雑音を低減することができる。又、ホトダイオードの表面側にp型領域23が形成され、埋め込みホトダイオード構造となっている。このため、分光感度が改善され、暗電流や白傷を低減することができる。

## 【0045】

受光部に光が入射すると、n型領域21で電子の蓄積は開始するが、メカシャッタ45開放後所定の時点で、ホトダイオードの電荷を一旦掃き出してリセットし、その時点を露光開始時刻とする。露光開始時刻を電子的に決定すると、精度を高く制御しやすい。

## 【0046】

リセットには、基板抜きシャッタ作用を用いる。図でn型領域21、p型ウェル20、n型基板10は縦型バイポーラ接合トランジスタ構造を構成している。コレクタ（n型基板）に電圧源100より正電位を印加することで、ベースのポテンシャルバリアを消滅させることができる。すなわち、トランジスタがオンとなり、エミッタの電荷はコレクタに流れる。ホトダイオードがリセットできる。

## 【0047】

ホトダイオードのリセット後、メカシャッタ45が閉じられるまでが露光時間に相当する。露光時間中にホトダイオード21へ蓄積された電荷の少なくとも一部を、メモリの電荷蓄積領域に注入する。

## 【0048】

ところで従来、不揮発性メモリ構造には、ONO膜等からなる電荷蓄積領域に、チャンネルホット電子（CHE）を用いて電子を注入するものがある。CHEによる注入効率は1%以下と低く、大部分の電子は、メモリ外部に流れて、電荷蓄積領域に注入されない。しかし、注入効率の低さを大きな電流を流すことで補えば、短時間で書きこみ（電荷注入）処理が完了できる利点がある。

## 【0049】

また、ファウラーノルドハイム（F-N）トンネリングによって電荷注入を行

うものもある。F-Nトンネリングによる電荷注入では、流失する電荷量は著しく少なくなる。ただし、ホットエレクトロンを利用した場合に比べると、書きこみに長時間を要する。

## 【 0 0 5 0 】

固体撮像素子においては、デジタルメモリ程の高速の書きこみ速度は要しない。シャッタスピードで決まる時間内に電荷注入（書きこみ）処理が終了すればよい。例えばシャッタスピード  $1/100 \text{ sec}$  の場合、 $10 \text{ msec}$  の間に書きこみが終了すればよい。

## 【 0 0 5 1 】

本実施例では、F-Nトンネリング、チャネルホットエレクトロンによる方法をバランス良く組み合わせて、電荷注入を行う。

露光開始とともに、まず、コントロールゲート 3 4 のみに正の電圧を印加する。ドレイン 2 2 には電圧を印加しない。ホトダイオードに蓄積された電荷がチャネル領域に集まり、F-Nトンネル電流により、メモリの電荷蓄積領域に注入される。電荷がドレイン電流として流失することを抑制し、注入効率を高められる。

## 【 0 0 5 2 】

電荷注入工程の最後に、コントロールゲート 3 4 に加えドレイン 2 2 にも正電圧を印加し、ホットエレクトロンによる注入も用いる。このドレインへの電圧印加は短時間（例えば  $10 \mu \text{ sec}$ ）でよい。ソース領域 2 1 に残っていたエレクトロンがチャネル領域に引き出され、加速されてホットエレクトロンとなる。ホットエレクトロンの一部はメモリの電荷蓄積領域へ注入される。またこのチャネル電流により、ホトダイオードの残余電荷は、メモリ素子のドレイン 2 2 を通して外部に掃き出される。

## 【 0 0 5 3 】

ホットエレクトロン注入を用いることで、撮像のダイナミックレンジを拡大することができる。ダイナミックレンジ拡大の効果は、例えば以下のように理解できる。

## 【 0 0 5 4 】

入射光量が少ない場合（低照度時）であれば、ホトダイオード中に生成される電荷量は少ない。したがって、露光開始とともに流れる F-N トンネル電流のみでも、メモリへ注入することが可能であろう。

## 【 0 0 5 5 】

一方、入射光量が過大な場合（高照度時）では、ホトダイオード中に生成される電荷量が多い。F-N トンネル電流のみでは注入しきれない電荷が、ホトダイオードに多く残留してしまうであろう。注入工程の最後にドレイン電圧も印加することで、この残留電荷がチャネル電流として掃き出され、ホットエレクトロンとなりその一部はメモリに注入される。このように、照度が高くなるほど、ホットエレクトロン注入の寄与が大きくなると考えられる。

## 【 0 0 5 6 】

上述したように、注入効率は、F-N トンネリングでは高く、ホットエレクトロン注入では低い。これを撮像の感度として捉えると、F-N トンネル電流による注入は比較的「高感度」、ホットエレクトロンによる注入は比較的「低感度」であるといえる。

## 【 0 0 5 7 】

低照度時には、注入効率の高い F-N トンネル電流の寄与が大きく、感度良く撮像することができる。高照度時には、「低感度」であるホットエレクトロン注入の寄与が大きくなり、すなわち、高照度側のダイナミックレンジを広く撮像することができる。暗部（低照度部）からハイライト部（高照度部）に至るまで、忠実な被写体撮像が可能になる。

## 【 0 0 5 8 】

メモリ素子のソース領域は、ホトダイオードとして形成されており、通常の不揮発性メモリのソース領域とは不純物分布が異なり、接合深さが深い。またドレイン領域と比して、n 型不純物濃度が低い。これは、可視光に対する感度バランスを改善するためであるが、MOS トランジスタとしては、ショートチャネル効果あるいはホットエレクトロン注入が起こりやすい構造である。

## 【 0 0 5 9 】

メモリ素子に蓄積された信号電荷量を、閾値電圧  $V_{th}$  の変化として読み出す

。読み出しのためには、メモリ素子にチャネル電流を流す必要がある。しかし書きこみ終了時に、ソース領域 2 1 から残余電荷は掃き出されている。

#### 【 0 0 6 0 】

そこで、補助トランジスタに正のゲート電圧を印加してオンにし、 $n^+$ 型領域 5 0、5 1 とメモリのソース領域 2 1 とを接続することにより、電荷の供給を行う。読み出し時のチャネル電流を大きくすることができ、読み出し速度を高速化することができる。

#### 【 0 0 6 1 】

補助トランジスタのオンと同時に、メモリ素子のコントロールゲート 3 4 とドレイン 2 2 に、読み出しのための電圧を印加する。コントロールゲート電圧を徐々に増加させる。ドレイン電流が流れ始める読み出しコントロールゲート電圧がそのセルの閾値である。この閾値電圧  $V_{th}$  を出力信号として読み出す。

#### 【 0 0 6 2 】

光書きこみに必要な電圧をコントロールゲート 3 4 に印加しない状態では、光が照射されていても「光書きこみ」即ちメモリの電荷蓄積領域への電荷注入は阻止される。また、「光書きこみ」した情報（信号電荷）はメモリの電荷蓄積領域中に留まるので、コントロールゲート 3 4、ドレイン 2 2 の電圧を除去しても電荷蓄積状態が保持される（不揮発状態）。従って、任意のあるいは低速の信号読み出しが可能である。その結果、従来のような高速動作に伴うスイッチングノイズの影響を受けにくく、低速読み出しによる低消費電力駆動が可能になる。

#### 【 0 0 6 3 】

次の撮影（光書きこみ）前に、前画像に対応するメモリ中の残留信号電荷を除去する。一般に、不揮発メモリセルではソース、ドレイン、基板（ウエル）または別に設けた消去専用ゲートに所定電圧を印加して、F-N トンネル電流により電荷を引き抜くことによって、データ消去を行う。

#### 【 0 0 6 4 】

本実施例においても、いくつかのデータ消去方法が考えられる。ここではコントロールゲート CG と基板（あるいは p ウエル）に電圧を印加し、基板に電荷を引き抜く方式を例に説明する。コントロールゲート CG に負の電圧を加え、基板

(p ウェル) に正の電圧を印加する。これにより、メモリの電荷蓄積領域中の電荷が基板 (p ウェル) に引き抜かれる。

## 【 0 0 6 5 】

なお、従来の不揮発性メモリと異なり、データを長期間保持する必要はない。固体撮像装置では、次の光信号の検出 (撮像) に備えて、信号 ( $V_{th}$  値変化) 読み出し後はメモリの電荷蓄積領域中の電荷を空に (消去) しておく方が高速駆動を行うためには都合がよい。これにより、連続的あるいは高速の撮像が可能になる。

## 【 0 0 6 6 】

撮影時、全てのホットダイオードを同時にリセットし、また全てのメモリ素子のコントロールゲート CG (必要に応じてドレイン MD) に同時に書きこみ電圧を印加しての電荷注入が可能である。したがって、全画素について同時刻の画像信号を得ることができる。

## 【 0 0 6 7 】

読み出した閾値  $V_{th}$  は、信号量に対応した電圧であり、アナログ値である。二次元平面状に配列された画素の各列の端部には、この  $V_{th}$  値を読み出す読み出し回路が設けられ、変化する参照電圧 ( $V_{ref}$ ) と比較される。比較器の出力は、要求される検出精度により、N ビット (N は 2 以上の整数) に量子化されたデータに変換して水平読み出し回路に出力される。固体撮像装置から直接デジタル信号が得られる。

## 【 0 0 6 8 】

以上説明した実施例では、メモリの読み出し時に流すチャネル電流の電荷供給のために、補助トランジスタを用いた。以下に説明する第 2、第 3 の実施例においては、補助トランジスタを用いない構成を示す。

## 【 0 0 6 9 】

図 3 (A) は、本発明の第 2 の実施例による単位画素の断面図である。なお固体撮像装置の構成は、図 1 (A) において補助トランジスタ TR が省略された構成となる (図示せず)。

## 【 0 0 7 0 】

図 3 (A) では、p 型領域 2 3 が n 型領域 2 1 を取り囲むように伸び、チャネルストップ領域を形成している。チャネル領域に近い n 型領域 2 1 の下部の p 型ウェル 2 0 中に、n 型シリコン基板 1 0 から突き出すように、 $n^+$  型領域 6 0 が形成されている。 $n^+$  型領域 6 0 が、読み出し時に流すチャネル電流の電荷供給源として機能する。

## 【 0 0 7 1 】

露光時間開始前にホトダイオードに蓄積された電荷の掃き出しには、第 1 の実施例と同様、基板抜きシャッタ作用を用いる。露光後、ホトダイオードに蓄積された電荷を、第 1 の実施例と同様にメモリの電荷蓄積領域に注入する。注入工程終了時点で、ソース領域 2 1 からは電荷が掃き出されている。

## 【 0 0 7 2 】

メモリの読み出し時には、n 型シリコン基板 1 0 に負電圧を印加する。n 型基板 1 0 と p ウェル間には順バイアスが印加される。 $n^+$  型領域 6 0 から電荷がメモリ素子のソース 2 1 へ供給される。このため  $n^+$  型領域 6 0 の n 型不純物濃度は高く、またソース 2 1 との距離は短く形成することが好ましい。読み出し時のチャネル電流を大きくすることができ、読み出し速度を高速化することができる。

## 【 0 0 7 3 】

n 型シリコン基板 1 0 に負電圧を印加すると同時に、コントロールゲート 3 4 とドレイン 2 2 に、読み出しのための電圧を印加する。ドレイン電流が流れ始める読み出しコントロールゲート電圧（閾値電圧） $V_{th}$  を出力信号として読み出す。

## 【 0 0 7 4 】

図 3 (B) は、第 3 の実施例による単位画素の断面図を示す。第 3 の実施例は、第 2 の実施例で図 3 (A) に示した  $n^+$  型領域 6 0 が省略された構成であり、またメカシャッタを有しない構成である。なお固体撮像装置の構成は、図 1 (A) において補助トランジスタ T R が省略された構成となる（図示せず）。

## 【 0 0 7 5 】

メカシャッタを有しない構成のため、待機状態においても受光部には外光が入

射している。そのため、光信号の検出直前において、ホットダイオードの不要な電荷を掃き出す必要がある。ホットダイオードのリセットには、第 1、第 2 の実施例と同様、基板抜きシャッタ作用を用いる。

## 【 0 0 7 6 】

基板抜きシャッタによりホットダイオードをリセットすると同時に、コントロールゲート 3 4 に所定の正電圧を印加し、ホットダイオードに発生した電荷を F - N トンネル電流を用いてメモリの電荷蓄積領域に注入する。注入工程の最後には、ドレイン 2 2 へも電圧を印加し、ホットエレクトロンによる注入も行う。

## 【 0 0 7 7 】

所定時間経過の後、コントロールゲート 3 4、ドレイン 2 2 への正電圧の印加（書きこみ）を終了する。ホットダイオードのリセットから、書きこみ終了までが露光時間に相当する。メカシャッタを有さず、常時外光が入射しているため、書きこみ終了をもって露光（撮像）時間の終了となる。

## 【 0 0 7 8 】

読み出し時には、ドレイン 2 2 に所定の正電圧を印加した状態で、コントロールゲート 3 4 へ徐々に大きくなる正電圧を印加する。ドレイン電流が流れ始める読み出しコントロールゲート電圧（閾値電圧） $V_{th}$ を出力信号として読み出す。

## 【 0 0 7 9 】

露光時間終了後もホットダイオード（メモリのソース領域）には光が入射し、キャリアが生成されている。読み出し時のチャネル電流には、このキャリアが供給される。

## 【 0 0 8 0 】

なお、第 3 の実施例においては、メカシャッタ 4 5 を有する構成とすることもできる。ホットダイオードのリセットからメカシャッタを閉じるまでが 1 回の露光時間となる。第 1、第 2 の実施例と同様にメモリ素子への電荷注入を行う。読み出し時のチャネル電流は、基板等から自発的にソース 2 1 へ流入する電荷を用いて流すこととなる。

## 【 0 0 8 1 】



次に、図4（A）～（C）を参照して、第1～第3の実施例による固体撮像装置の動作シーケンス（電荷の記録、読み出し、消去動作タイミング）を説明する。

#### 【0082】

図4（A）に第1の実施例におけるタイミングチャートを示す。時刻 $t_1$ においてメカシャッタが開き、外光の入射が開始する。時刻 $t_2$ においてn型基板に正電圧 $V_{pp}$ を印加し、ホトダイオードに蓄積された不要な電荷を基板に掃き出し、リセットする。

#### 【0083】

掃き出し終了後、時刻 $t_3$ において、コントロールゲートCGに高い書きこみ電圧 $V_{pp}$ を印加し、F-Nトンネリングを利用して書き込みを開始する。なお、露光時間中に書き込みを行う代わりに、露光時間初期は電荷を蓄積するだけとし、露光時間の途中から電圧を印加しても良い。

#### 【0084】

時刻 $t_4$ においてメカシャッタを閉じ、露光を終了する。時間（ $t_4 - t_3$ ）が露光時間即ちシャッタスピードに対応する。時刻 $t_3$ から $t_4$ の間に光によって発生した電荷が、メモリの電荷蓄積領域に注入される。

#### 【0085】

時刻 $t_5$ までコントロールゲートCGへ書きこみ電圧の印加を続ける。時刻 $t_4$ から $t_5$ までは、ドレインMDにも正電圧 $V_{pp}$ を印加する。チャネル電流を流すことで、メモリのソース領域の残余電荷が掃き出される。

#### 【0086】

光信号のメモリへの蓄積（記録）を終了後、時刻 $t_6$ から記録信号の読み出しを行う。時刻 $t_6$ において、ドレイン電圧を $V_r$ とし、コントロールゲートCGに単調増大する電圧 $V_d$ を印加してコントロールゲートCGの電圧変化に対するドレイン電流を検出する。また、補助トランジスタTRのゲートに正電圧 $V_r$ を印加し、オンにすることで、チャネル電流（ドレイン電流）となる電荷の供給を行う。

#### 【0087】

時刻  $t_7$  にて読み出しを終了した後は、次の撮像に備えて、メモリの電荷蓄積領域に貯まった電荷を消去する。

時刻  $t_8$  から  $t_9$  の間においてコントロールゲート CG、n 型基板（p ウェル）にそれぞれ消去電圧  $-V_{pp}$ 、 $V_{pp}$  を印加して、メモリの電荷蓄積領域中の電荷を基板、p ウェル側に引き抜く。

【0088】

図 4（B）に第 2 の実施例におけるタイミングチャートを示す。メカシャッタ、メモリ素子のドレイン、コントロールゲートの動作タイミングは第 1 の実施例と同様である。

【0089】

時刻  $t_1$  のメカシャッタ開放後、時刻  $t_2$  において、n 型基板 10 に正電位  $V_{pp}$  を印加し、基板抜きシャッタ作用によりホトダイオード PD をリセットする。

【0090】

第 1 の実施例と同様の露光、メモリ素子 M への電荷注入の後、時刻  $t_6$  より読み出しを実施する。ドレイン MD、コントロールゲート CG の動作は第 1 の実施例と同様である。

【0091】

時刻  $t_6$  においてはまた、n 型基板 10 に負電位  $-V_r$  を印加する。n 型基板 10 と p ウェル間には順バイアスが印加される。メモリ素子 M のソース領域 S（ホトダイオード PD）下部に形成された  $n^+$  型領域 60 から、該ソース領域に電荷が供給され、チャネル電流が流れる。メモリの消去動作は第 1 の実施例と同様である。

【0092】

図 4（C）に第 3 の実施例におけるタイミングチャートを示す。メカシャッタを有しない構成のため、シャッタの動作は省略される。

時刻  $t_1$  において n 型基板に正電位  $V_{pp}$  を印加し、ホトダイオードをリセットする。掃き出し終了後、時刻  $t_2$  から  $t_4$  まで、コントロールゲート CG に高い書きこみ電圧  $V_{pp}$  を印加する。時刻  $t_3$  から  $t_4$  までは、ドレイン MD にも

正電圧  $V_{pp}$  を印加する。

【0093】

時刻  $t_2$  から  $t_4$  の間に光によって発生した電荷がメモリの電荷蓄積領域に注入される。時間  $(t_4 - t_2)$  が露光時間即ちシャッタースピードに対応する。露光時間中書き込みを行う代わりに、露光時間初期は電荷を蓄積するだけとし、露光時間の途中から電圧を印加しても良い。

【0094】

光信号のメモリへの蓄積（記録）を終了後、時刻  $t_5$  から記録信号の読み出しを行う。時刻  $t_5$  において、ドレインMDの電圧を  $V_r$  とし、コントロールゲートCGに単調増大する電圧  $V_d$  を印加してコントロールゲートCGの電圧変化に対するドレイン電流を検出する。

【0095】

なお、メカシャッタにより外光の入射が遮られることがないので、受光部には常にキャリアが発生している。そのため、第1、第2の実施例で読み出し時に実施したメモリのソース領域への電荷供給工程は、第3の実施例では特に必要としない。

【0096】

時刻  $t_6$  にて読み出しを終了した後は、次の撮像に備えて、時刻  $t_7$  において、第1、第2の実施例と同様にメモリの消去を行う。

次に、図5を参照して、固体撮像装置の信号変換特性について説明する。

【0097】

図5の横軸はログスケールで表した露光時間を示し、露光エネルギーに対応している。縦軸は読み出し時の閾値電圧  $V_{th}$  の変化量（メモリに電荷が注入されていない場合に対する変化量）を示し、メモリへの注入電荷量に対応している。

【0098】

書きこみ時に印加するコントロールゲートCG電圧が  $9\text{ volt}$  の場合の特性曲線  $c_9$  を示す。この特性曲線から、閾値電圧  $V_{th}$  に対して、露光量を定めることができる。

【0099】

閾値電圧  $V_{th}$  の変化量が小さい領域では、露光時間に対する  $V_{th}$  の変化はほぼリニアである。閾値電圧  $V_{th}$  の変化量が大きくなるにつれ、特性はリニアから外れ、飽和する形状となる。

## 【 0 1 0 0 】

直線  $c_9'$  は、特性曲線  $c_9$  のリニアな部分にフィットさせた直線である。書きこみゲート電圧が  $9\text{ volt}$  の時に、 $V_{th}$  が大きい領域までリニアであるとする、特性は直線  $c_9'$  に示す形となる。

## 【 0 1 0 1 】

メモリに蓄積できる電荷量には上限値が存在するため、読み出し時の閾値電圧  $V_{th}$  の変化量にも上限値  $V_{max}$  が存在する。特性  $c_9$  の下では露光時間（露光量） $E_{max}$ 、特性  $c_9'$  の下では露光時間（露光量） $E_{max}'$  に達すると、それ以上の露光に対しては閾値電圧  $V_{th}$  は変化しない。すなわち、露光量  $E_{max}'$ 、 $E_{max}$  はそれぞれ、特性  $C_9'$ 、 $C_9$  の下での、ダイナミックレンジの上限値となる。

## 【 0 1 0 2 】

特性  $C_9$  の下でのダイナミックレンジの上限  $E_{max}$  は、リニアな特性  $C_9$  の下での上限  $E_{max}'$  に比べて大きくなっている。つまり、特性曲線が、図に示すような露光時間増加に伴って飽和する形状となることで、ダイナミックレンジが拡大されたといえることができる。

## 【 0 1 0 3 】

メモリの電荷蓄積領域に注入されるエレクトロンは、既に注入されたエレクトロンからクーロン反発力を受けると考えられる。露光時間（露光量）の増加に伴い、メモリに蓄積されるエレクトロンの量は増加し、新たに注入されるエレクトロンに対するクーロン反発も強くなると考えられる。したがって、さらなる電荷注入は難しくなっていくであろう。つまり、露光時間の増加に対して、閾値電圧  $V_{th}$ （注入電荷量）の増加が抑制され、図に示したような、飽和する形状の特性となると考えられる。

## 【 0 1 0 4 】

以上実施例によって本発明を説明したが、本発明はこれらに制限されるもので

はない。例えば種々の変更、改良、組み合わせが可能なことは当業者に自明であろう。

【0105】

【発明の効果】

発生電荷を直ちにメモリの電荷蓄積領域に注入することにより、電荷量（電流）を電圧値に変換し、一時的に保持できる。

【0106】

同一半導体チップにおいて、光信号の検出と記録が同時に行える。

全画素について同時刻の画像信号を得ることができる。

高速動作に伴うスイッチングノイズの影響を受けにくく、低速読み出しによる低消費電力駆動が可能となる。

【0107】

低消費電力駆動を実現し、完全電子シャッタ動作を行うことができる。また、電圧検出型素子であることから、出力信号のダイナミックレンジが広く、微細化（スケーリング）や多画素化による信号量の減少に対応できる。

【0108】

一時記憶機能があるので、周辺回路が簡略化され、システム全体のコストが低減する。

F-Nトンネリング、ホットエレクトロンによる電荷注入（書きこみ）をバランス良く組み合わせ、ダイナミックレンジを拡大することができる。

【0109】

低ノイズ化とダイナミックレンジの拡大により、高照度におけるいわゆる「白トビ」が改善され、暗部（低照度部）からハイライト部（高照度部）に至るまで、忠実な被写体撮像が可能になる。

【図面の簡単な説明】

【図1】本発明の実施例による固体撮像装置の等価回路図である。

【図2】第1の実施例による画素構造を示す断面図、および、ゲート構造を示す断面図である。

【図3】第2、第3の実施例による画素構造を示す断面図である。

【図 4】 固体撮像装置の動作を制御する信号のタイミングチャートである。

【図 5】 固体撮像装置の信号変換特性を示すグラフである。

【図 6】 従来技術による M O S 型固体撮像装置の等価回路図である。

【図 7】 従来技術による I T - C C D 型固体撮像装置の等価回路図である。

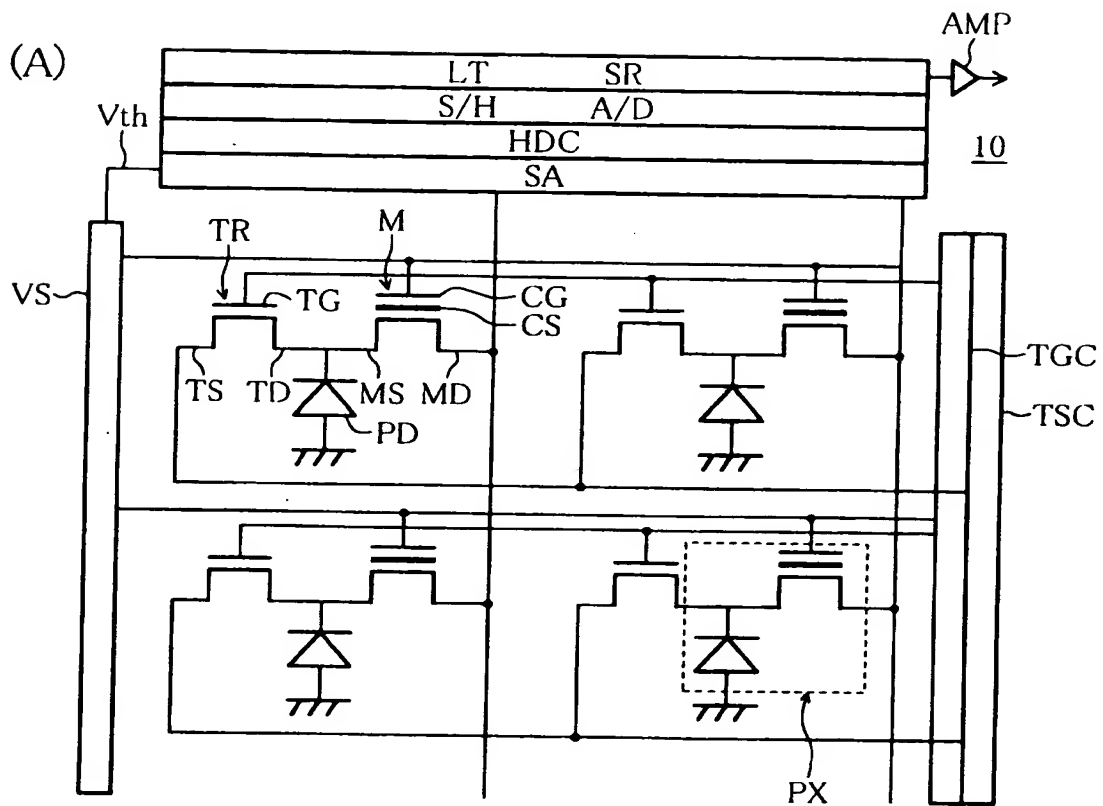
【図 8】 従来技術による C M O S 型固体撮像装置の等価回路図である。

【符号の説明】

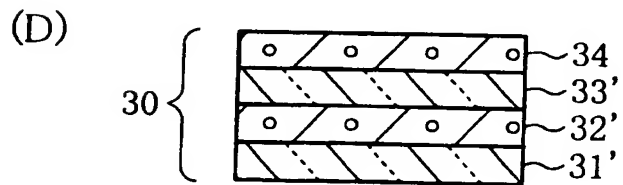
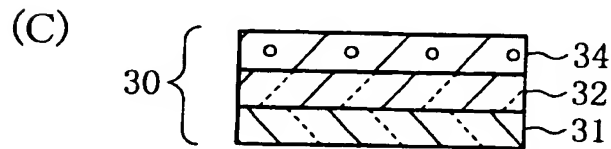
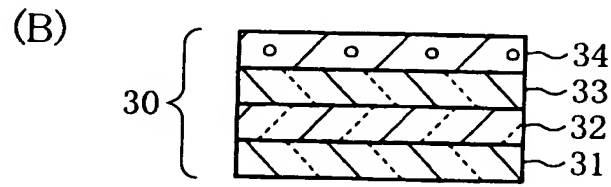
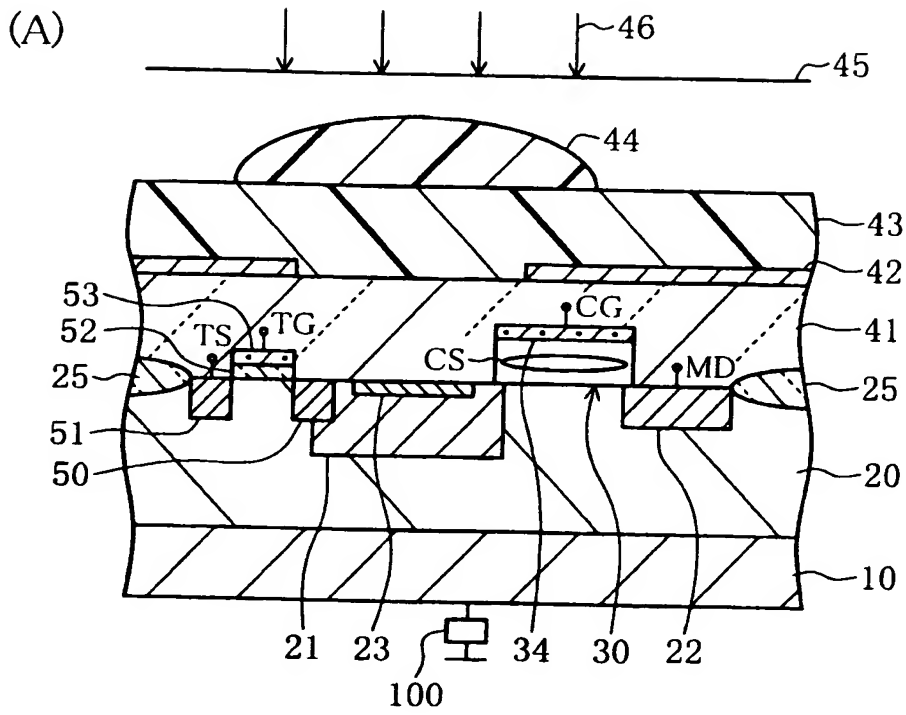
P X	画素
P D	ホトダイオード
M	メモリ素子
C G	コントロールゲート
C S	メモリ素子の電荷蓄積領域
M D	メモリ素子のドレイン
M S	メモリ素子のソース
T R	補助トランジスタ
T G	補助トランジスタのゲート
T D	補助トランジスタのドレイン
T S	補助トランジスタのソース
COMP	比較器
S A	センスアンプ
I	電流源
1 0	シリコン基板
2 0	p 型ウェル
2 1、2 2	n 型領域
2 3	p 型領域
3 0	ゲート構造
3 1、3 3、3 1'、3 3'	酸化シリコン膜
3 2	窒化シリコン膜
3 2'	フローティングゲート
3 4	コントロールゲート

【書類名】 図面

【図 1】

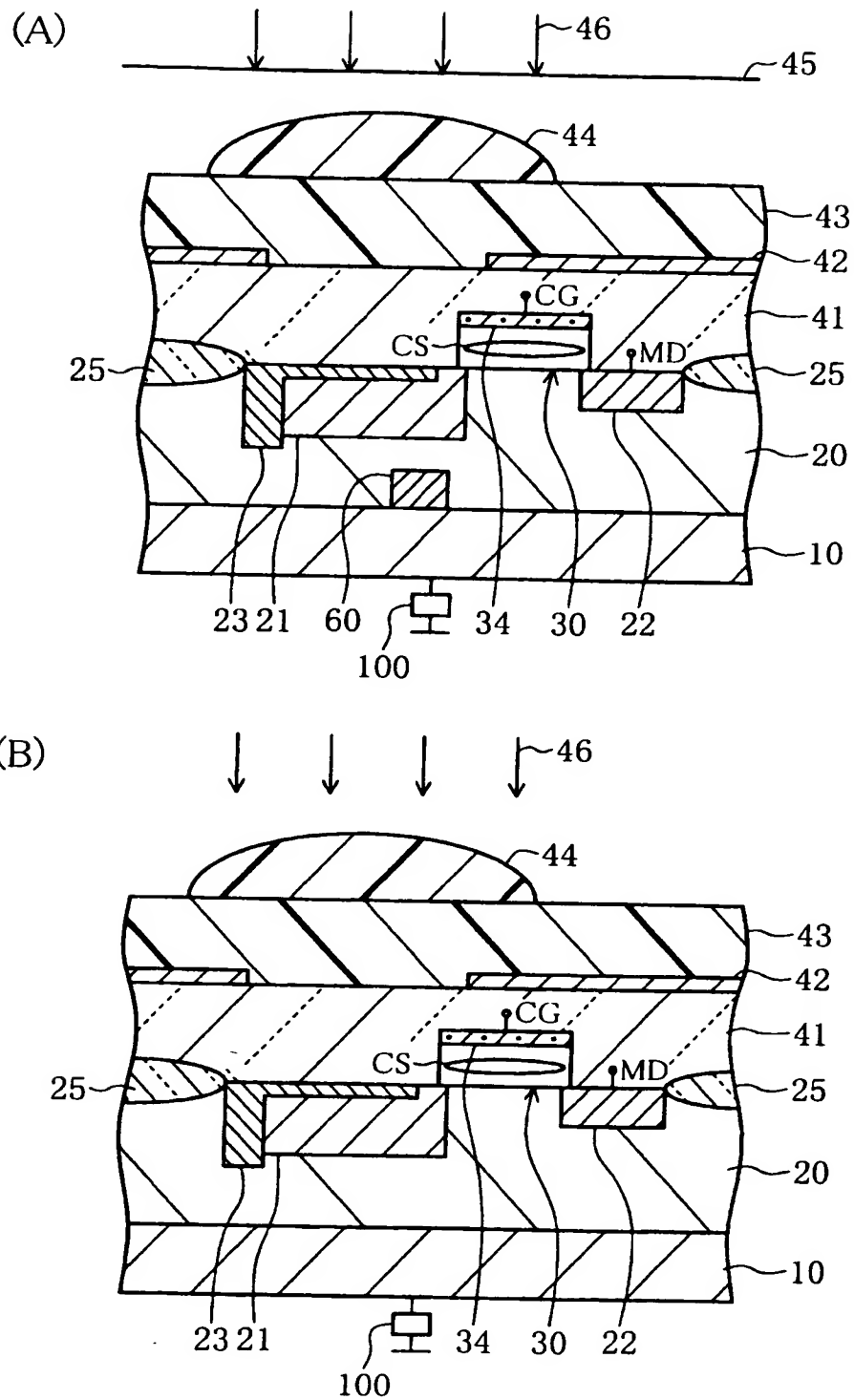


【図 2】

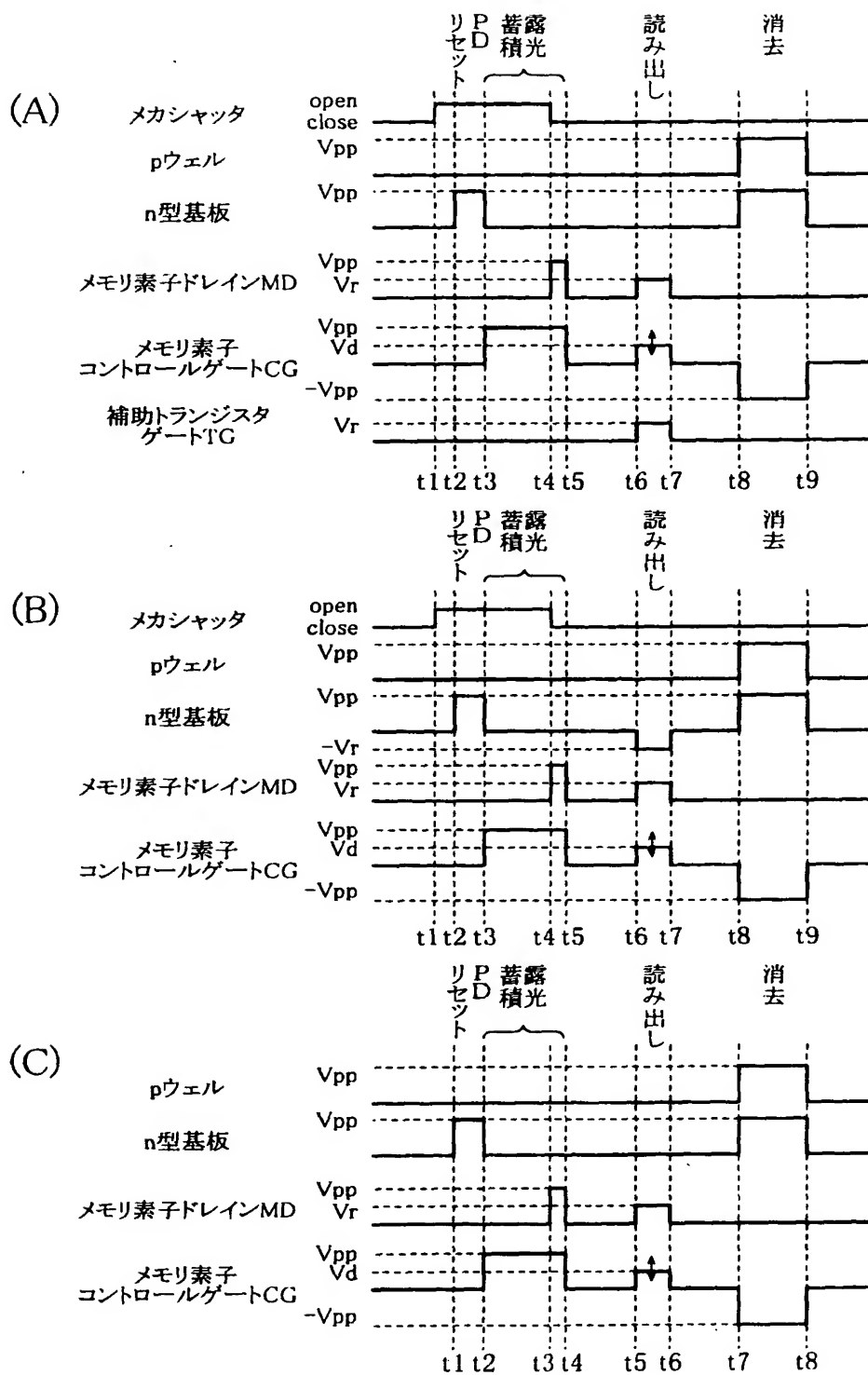




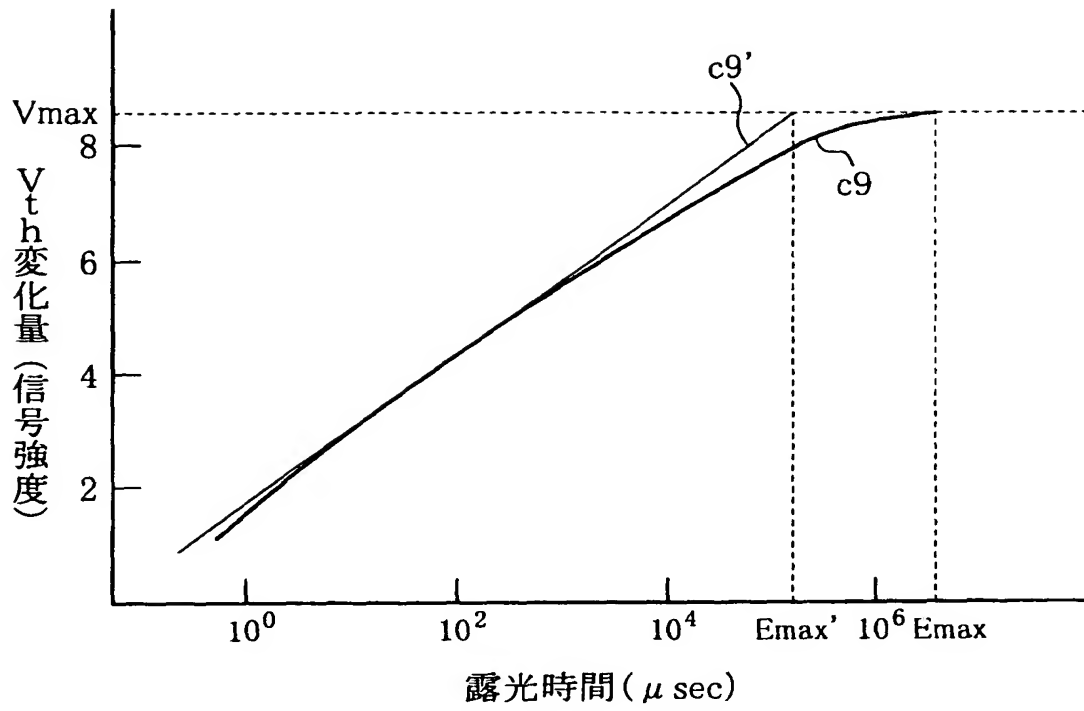
【図 3】



【図 4】

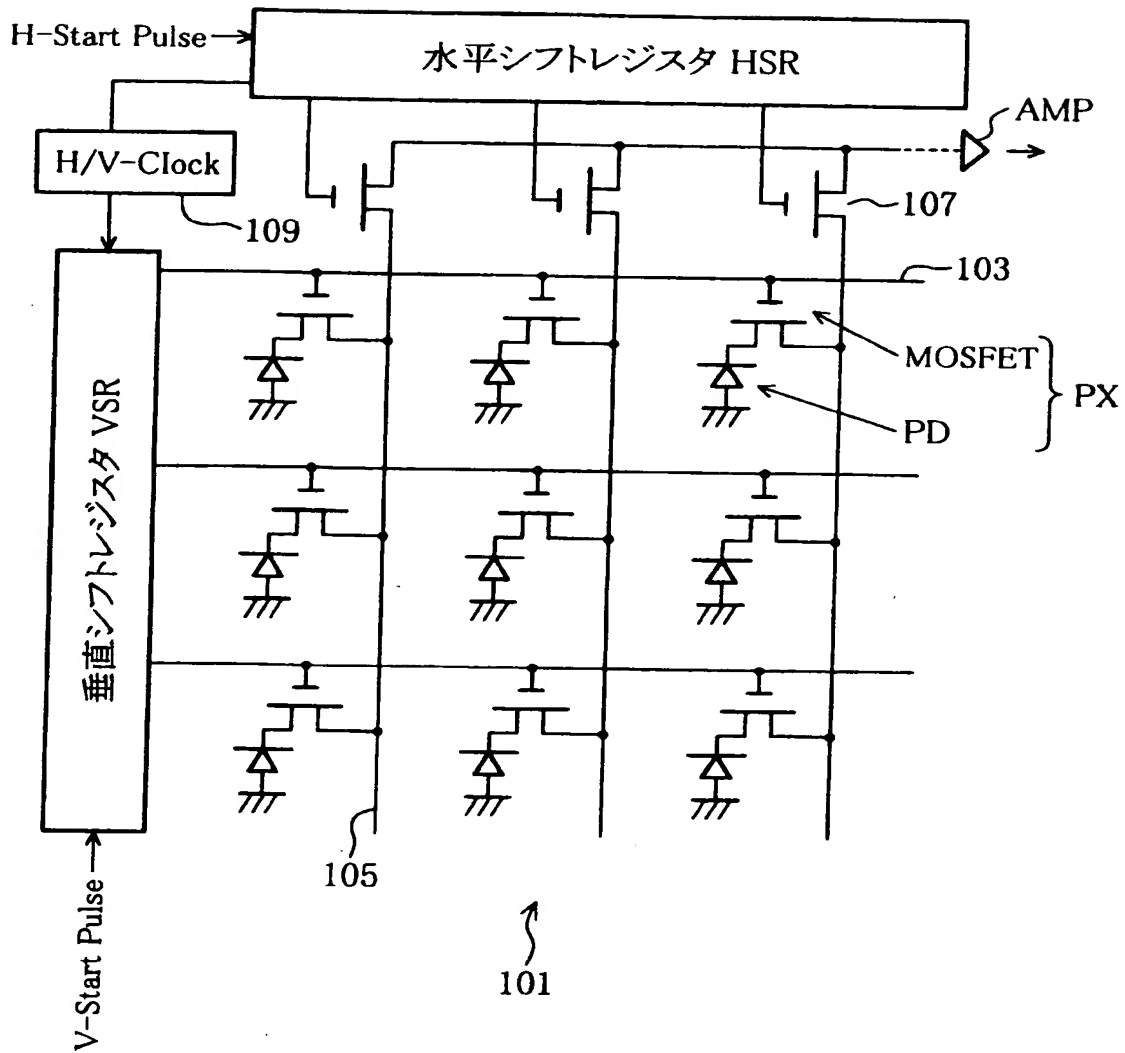


【図 5】



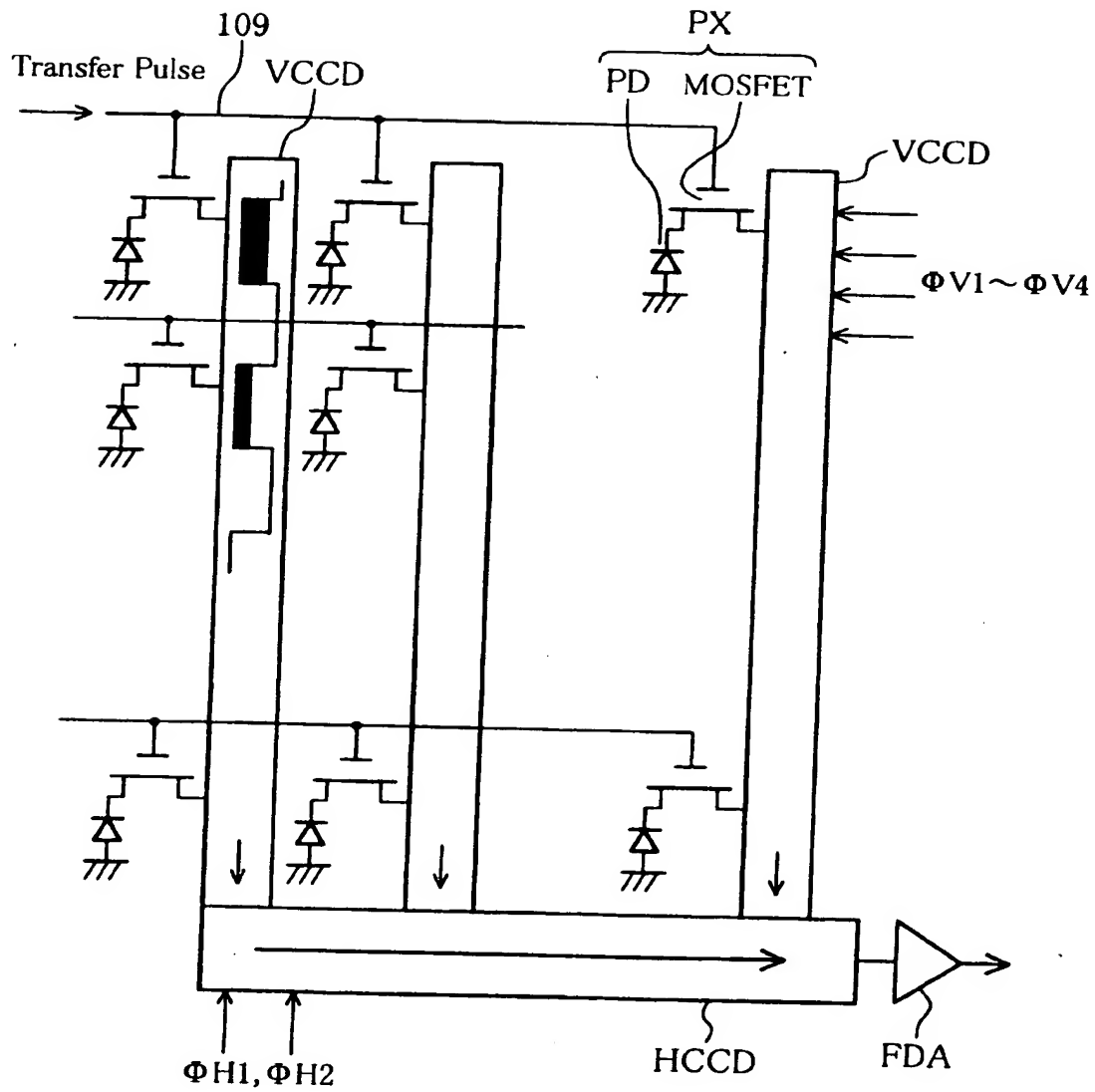
【図 6】

従来技術



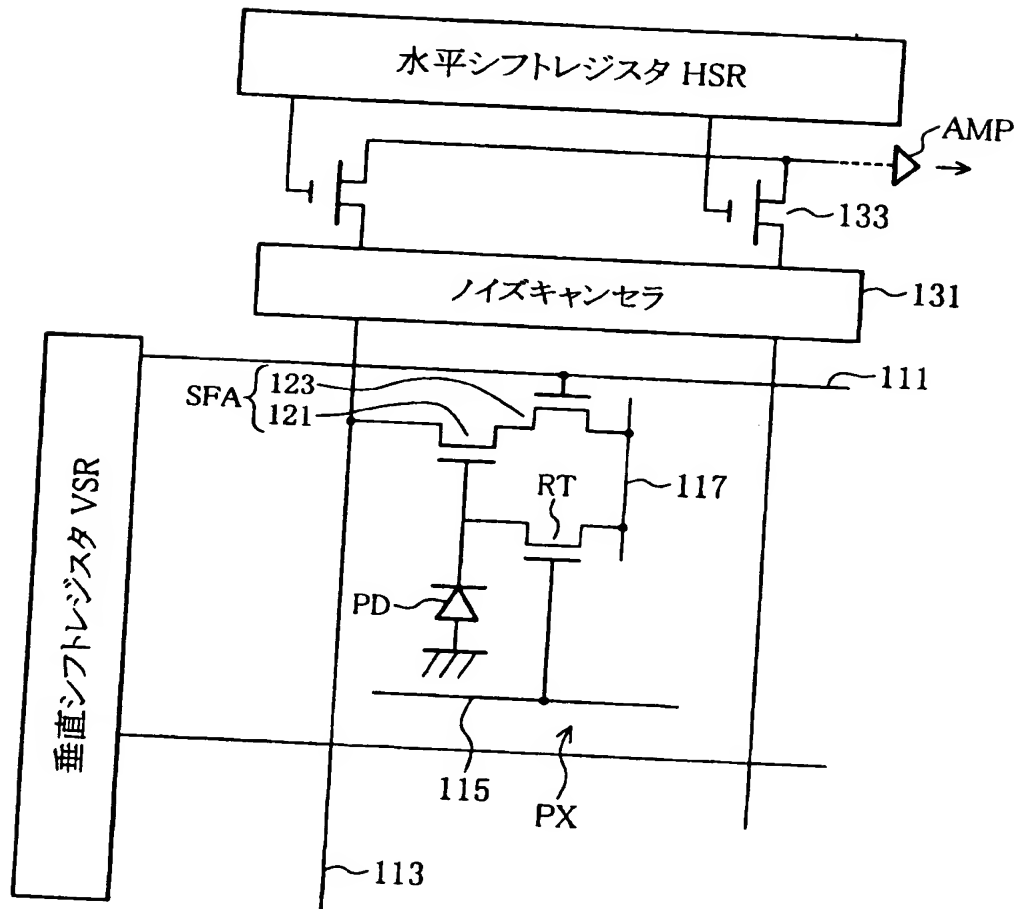
【図 7】

従来技術



【図 8】

従来技術



【書類名】 要約書

【要約】

【課題】 新規な画素信号読出し動作を行なう固体撮像装置を提供する。

【解決手段】 固体撮像装置は、n型領域を有する半導体基板と、前記半導体基板のn型領域の上に形成されたp型領域と、前記p型領域の中に形成され、p型領域と共にホトダイオードを構成する第1n型領域と、前記第1n型領域の一部に隣接して、半導体基板表面上に形成され、電荷蓄積領域と、コントロールゲートとを含む第1ゲート構造と、前記第1ゲート構造の、前記n型領域と逆側に隣接して形成され、前記第1n型領域、前記第1ゲート構造と共に、不揮発性メモリ素子を構成する第2n型領域と、前記第1ゲート構造のコントロールゲートに、前記第1n型領域に蓄積された電荷が前記電荷蓄積領域にトンネルする電圧を印加する制御回路と、を含む。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [391051588]

1. 変更年月日 1991年 7月31日  
[変更理由] 新規登録  
住 所 宮城県黒川郡大和町松坂平1丁目6番地  
氏 名 富士フイルムマイクロデバイス株式会社



出 願 人 履 歴 情 報

識別番号

[000005201]

1. 変更年月日

1990年 8月14日

[変更理由]

新規登録

住 所

神奈川県南足柄市中沼210番地

氏 名

富士写真フイルム株式会社